

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor : : Kimihito MATSUMOTO, et al.
Filed : Concurrently herewith
For : CONTENT-ADDRESSABLE....
Serial No. : Concurrently herewith

October 29, 2003

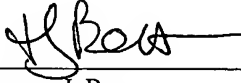
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **Japanese** patent application number **2002-316453** filed **October 30, 2002**, a copy of which is enclosed.

Respectfully submitted,



Thomas J. Bean
Reg. No. 44,528

Katten Muchin Zavis Rosenman
575 Madison Avenue
New York, NY 10022-2585
(212) 940-8800
Docket No.: FUJX 20.701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月30日

出 願 番 号
Application Number:

特願2002-316453

[ST.10/C]:

[JP2002-316453]

出 願 人
Applicant(s):

富士通株式会社

2003年 3月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3016742

【書類名】 特許願
【整理番号】 0251068
【提出日】 平成14年10月30日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 15/04
【発明の名称】 連想メモリ
【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 松本 公仁

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 飯野 隆

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 寺崎 泰範

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 浪平 大輔

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 青山 賢

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100072718

【弁理士】

【氏名又は名称】 古谷 史旺

【電話番号】 3343-2901

【手数料の表示】

【予納台帳番号】 013354

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 連想メモリ

【特許請求の範囲】

【請求項 1】 複数の情報が個別に格納される複数の記憶領域を有する記憶手段と、

前記複数の記憶領域に個別に対応し、これらの記憶領域にそれぞれ付与された優先度が格納される複数の副記憶領域を有する副記憶手段と、

前記複数の記憶領域の内、外部から与えられた語にマッチする情報が格納されている記憶領域に対応した副記憶領域に格納されている優先度の降順に、その情報が格納されている一部または全ての記憶領域のポインタを出力する制御手段とを備えたことを特徴とする連想メモリ。

【請求項 2】 請求項 1 に記載の連想メモリにおいて、

前記複数の記憶領域に個々の情報が格納される順にシーケンシャルな優先度を生成し、前記複数の副記憶領域の内、個々の情報が書き込まれる記憶領域に対応した副記憶領域にその優先度を格納する優先度設定手段を備えたことを特徴とする連想メモリ。

【請求項 3】 請求項 1 または請求項 2 に記載の連想メモリにおいて、

外部から与えられた共通の語に前記複数の記憶領域に格納された複数の情報がマッチすべき順序を示すユニークな優先度に、前記複数の副記憶領域に格納された個々の優先度を変換する優先度変換手段を備えた

ことを特徴とする連想メモリ。

【請求項 4】 請求項 3 に記載の連想メモリにおいて、

前記複数の副記憶領域に個別に格納された優先度には、

前記複数の記憶領域に個別に格納された情報とこれらの記憶領域のポインタとの間に成立すべき条件を示す副制御情報が含まれ、

前記優先度変換手段は、

前記副制御情報で示される条件が成立する優先度に、前記副記憶領域に格納された個々の優先度を変換する

ことを特徴とする連想メモリ。

【請求項 5】 請求項 1 ないし請求 4 の何れか 1 項に記載の連想メモリにおいて、

前記複数の副記憶領域に格納された個々の優先度には、

前記制御手段によって行われるべき処理の形態を示す制御情報が付加され、

前記制御手段は、

前記複数の記憶領域の内、前記外部から与えられた語にマッチする情報が格納された記憶領域に対応する副記憶領域に格納された制御情報を特定し、その制御情報で示される形態の処理を行う

ことを特徴とする連想メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、個別に情報が格納される記憶領域を有し、これらの記憶領域の内、外部から入力された情報にマッチする情報が格納されている記憶領域のアドレス（ポインタ）を出力する連想メモリに関する。

【0002】

【従来の技術】

CAM(Content Addressable Memory)は、外部から入力された情報に対する所定の相関性を有する情報の検索をハードウェアで高速に行うメモリデバイスであるために、近年、パケットのルーティングやフィルタリングを行うルータだけではなく、「クライアントから発せられた要求（コネクション）をレイヤ4において振り分けるL4スイッチ」にも搭載されている。

図5は、従来のCAMの構成例を示す図である。

【0003】

図において、デコーダ50のイネーブル端子Sin、データ入力Din、アドレス入力Ain、命令入力Iin、検索キー入力Kinおよび制御端子I/Dinには、それぞれ1ビット長のイネーブル信号S、既定の語長のデータD、アドレスA、命令I、検索キーKおよび制御信号I/Dが入力される。デコーダ50が有するN（ここでは、簡単のため、上述したアドレスAの語長（ビット数）n

に対して与えられる「 2^n 」に等しいと仮定する。) 個のデコード出力 S E T o u t-1 ~ S E T o u t-N は、エントリブロック 6 0-1 ~ 6 0-N の対応する選択入力に接続される。

【 0 0 0 4 】

デコーダ 5 0 が有する N ビットの検索キー出力 K o u t、N ビットのデータ出力 D o u t、サーチ出力 S o u t、インサート出力 I N S o u t およびデリート出力 D E L o u t は、それぞれエントリブロック 6 0-1 ~ 6 0-N の対応する入力に接続される。

エントリブロック 6 0-1 には、下記の要素が備えられる。

【 0 0 0 5 】

- ・ 検索の対象となる情報（以下では、エントリブロック 6 0-1 との対応関係を明確に示すために、記号「D-1」を付記する。）に併せて、その検索の対象として有効な情報 D-1 が保持されたか否かを示す二値の有効ビット V-1 とが格納される記憶領域情報 6 1-1

- ・ 情報記憶部 6 1-1 の出力の内、上述した有効ビット V-1 に対応した出力に一方の入力が接続され、かつ他方の入力が前述のサーチ出力 S o u t が接続されたアンドゲート 6 2-1

- ・ そのアンドゲート 6 2-1 の出力に接続されたイネーブル端子に併せて、情報記憶部 6 1-1 の出力の内、上述した情報 D-1 に対応する出力と、前述の検索キー出力 K o u t とにそれぞれ接続され、かつ最終段として配置されたコンパレータ 6 3-1

なお、エントリブロック 6 0-2 ~ 6 0-N の構成については、エントリブロック 6 0-1 の構成と同じであるので、以下では、対応する構成要素に添え番号「2」 ~ 「N」が付加された同じ符号を付与し、ここでは、その説明および図示を省略する。

【 0 0 0 6 】

エントリブロック 6 0-1 ~ 6 0-N に備えられたコンパレータ 6 3-1 ~ 6 3-N の出力は、プライオリティエンコーダ 7 0 の対応する入力に接続され、その出力には「連想アドレス」が出力される。

このような構成のCAMでは、情報記憶部61-1～61-Nの全ての内容は、そのCAMが備えられた装置の始動に際して初期化される。なお、以下では、上述した有効ビットV-1～V-Nの論理値については、何れも対応する記憶領域に有効な情報が格納されている期間に限って「1」に設定されると仮定する。

【0007】

情報記憶部61-1～61-Nに対する情報D-1～D-Nの登録は、下記の通りに行われる。なお、以下では、これらの情報記憶部61-1～61-Nに共通の事項については、添え文字「1」～「N」の何れにも該当し得ることを意味する添え文字「C」を用いて記述する。

デコーダ50は、「書き込み」を意味する命令I（=insert）が外部から与えられている期間に以下の処理を行う。

【0008】

- ・ この命令Iと共に入力されるアドレスA-Cをデコードし、かつエントリブロック60-1～60-Nの内、このアドレスA-Cに対応する単一のエントリブロック60-Cのみを選択する。

- ・ これらの命令IおよびアドレスA-Cに併せて、外部から与えられる情報D-Cにかかわるセットアップタイムが確保される時点で与えられ、かつ書き込みが行われるべき時点を示す制御信号I/Dに同期して、情報記憶部61-Cに『論理値が「1」である有効ビットV-C』とこの情報D-Cとを書き込む。

【0009】

なお、情報記憶部61-Cに書き込まれた有効な情報D-Cの削除は、例えば、下記の通りに「その情報D-Cの無効化」として実現される。

デコーダ50は、「削除」を意味する命令I（=delete）が外部から与えられている期間に以下の処理を行う。

- ・ この命令Iと共に入力されるアドレスA-Cをデコードし、かつエントリブロック60-1～60-Nの内、このアドレスA-Cに対応する単一のエントリブロック60-Cのみを選択する。

【0010】

- ・ これらの命令IおよびアドレスA-Cにかかわるセットアップタイムが確保さ

れる時点で与えられた制御信号 I / D に同期して、情報記憶部 6 1 -C に登録されている有効ビット V -C の論理値を「0」に設定する。

また、情報記憶部 6 1 -1 ～ 6 1 -N の内、例えば、外部から与えられた検索キー K に等しい情報が格納された記憶領域のアドレス（連想アドレス）を得る検索は、下記の通りに行われる。

【0 0 1 1】

デコーダ 5 0 は、「検索」を意味する命令 I （= search）が外部から与えられている期間に、その命令 I に併せて、外部から並行して入力された検索キー K をエントリブロック 6 0 -1 ～ 6 0 -N の全てに与える。

エントリブロック 6 0 -C では、アンドゲート 6 2 -C は、上記の命令 I （= search）が与えられ、かつ情報記憶部 6 1 -C に格納されている有効ビット V の論理値が「1」である期間に限って、コンパレータ 6 3 -C の稼働を許容する。

【0 0 1 2】

コンパレータ 6 3 -C は、このようにして稼働が許容されている期間には、情報記憶部 6 1 -C に上述した有効ビット V （= 1）と共に格納されている情報 D -C とデコーダ 5 0 によって与えられる検索キー K との排他的論理和をとり、その結果を示す全てのビットの論理値が「0」であるか否かの判別の結果を示す二値情報（ここでは、簡単のため、該当する判別の結果が真である場合に限って、論理値が「1」に設定されると仮定する。）を出力する。

【0 0 1 3】

プライオリティエンコーダ 7 0 は、このようにしてコンパレータ 6 3 -1 ～ 6 3 -N （エントリブロック 6 0 -1 ～ 6 0 -N）から並行して出力され、かつ論理値が「1」である二値情報の内、符号「6 3」に付加された添え番号が小さいコンパレータから出力された二値情報を優先しつつデコードすることによって、検索キー K に等しい情報が格納された単一の記憶領域（情報記憶部 6 1 -1 ～ 6 1 -N の何れか）に付与されたユニークなアドレスを「連想アドレス」として出力する。

【0 0 1 4】

【特許文献 1】

特開平 1 1 - 1 0 2 5 8 9 号公報（段落 0 0 0 3 ～ 0 0 1 0）

【特許文献 2】

特開 2 0 0 1 - 2 3 6 7 9 0 号公報

【0 0 1 5】

【発明が解決しようとする課題】

ところで、上述した従来例では、ルータ等において行われるフィルタリングやルーティングに適用された場合には、情報記憶部 6 1 -1 ~ 6 1 -N の内、複数の記憶領域に「検索キー K に等しい情報」が格納される場合が多くなってきた。

しかし、ポート番号、検索キー K として入力された IP アドレス、MAC アドレスがこれらの順に優先され、かつこれらのポート番号、IP アドレス、MAC アドレスの一部の組み合わせに基づいてフロー制御が行われ得る L 3 スイッチでは、その組み合わせに含まれない IP アドレスと MAC アドレスとの双方もしくは何れか一方は、一般に、所定のマスクパターンに基づいて情報記憶部 6 1 -C の内容との比較の対象から除外される。

【0 0 1 6】

すなわち、このような L 3 スイッチでは、上述した組み合わせの全てが情報記憶部 6 1 -1 ~ 6 1 -N に個別に登録された場合には、既述の検索の過程で複数のエントリが検索キー K にマッチ（以下、このように複数のエントリが検索キー K にマッチすることについては、「マルチヒット」という。）し得る。

したがって、既述のフロー制御は、「比較の対象となる情報とマスクパターンとの対」が上述した優先度が達成される適正な順序で情報記憶部 6 1 -1 ~ 6 1 -N に登録されない限り、正常に行われるとは限らなかった。

【0 0 1 7】

しかし、このような順序の保証は、エントリブロック 6 0 -1 ~ 6 0 -N の数 N と、フロー制御が並行して行われるべきフローの数とが大きいほど、これらのエントリブロック 6 0 -1 ~ 6 0 -N に登録されるべき情報の順列の管理が煩雑となる。

したがって、このような順列の適正化に膨大な処理を要し、この適正化が図られる頻度が高いほどサービス品質や伝送品質が低下する可能性が高かった。

【0 0 1 8】

さらに、このような適正化が図られるべき頻度は、一般に、上述したフロー制

御の過程で行われる Q o S (Quality of Service) 制御の形態が負荷分散の下で行われ、あるいは多様に行われるほど大きくなる。

また、上述したマルチヒットは、L 3 スイッチだけではなく、例えば、「クライアントから発せられたパケットその他の要求をトランスポート層に適応したヘッダの内容に基づいて適切なサーバに振り分ける L 4 スイッチ」と、「URL の階層的な参照に基づくコンテンツの分散、透過型キャッシュ機能、フェイルオーバー等を実現する L 7 スイッチ」との何れにおいても、頻度高く発生し得る。

【0019】

本発明は、基本的な構成が大幅に変更されることなく、多様な構成の機器やシステムに柔軟に適応可能な連想メモリを提供することを目的とする。

【0020】

【課題を解決するための手段】

図 1 は、本発明の原理ブロック図である。

請求項 1 に記載の発明では、記憶手段 1 1 は、複数の情報が個別に格納される複数の記憶領域を有する。副記憶手段 1 2 は、複数の記憶領域に個別に対応し、これらの記憶領域にそれぞれ付与された優先度が格納される複数の副記憶領域を有する。制御手段 1 3 は、複数の記憶領域の内、外部から与えられた語にマッチする情報が格納されている記憶領域に対応した副記憶領域に格納されている優先度の降順に、その情報が格納されている一部または全ての記憶領域のポインタを出力する。

【0021】

すなわち、記憶手段 1 1 に格納された情報の内、複数の情報が外部から与えられた語にマッチする場合であっても、これらの複数の情報がそれぞれ格納された記憶領域のポインタの一部もしくは全ては、個別に対応する副記憶領域に格納されている優先度が高い順に出力される。

したがって、記憶領域 1 1 に備えられた複数の記憶領域に格納される情報と、これらの記憶領域に個々の情報が格納される順序との双方に何ら制約が課されることなく、多様な機器やシステムに対する柔軟な適応が可能となる。

【0022】

請求項 2 に記載の発明では、優先度設定手段 1 4 は、複数の記憶領域に個々の情報が格納される順にシーケンシャルな優先度を生成し、複数の副記憶領域の内、個々の情報が書き込まれる記憶領域に対応した副記憶領域にその優先度を格納する。

すなわち、複数の副記憶領域に個別に格納される優先度は、複数の記憶領域に個別に格納される情報と同様に外部から与えられなくても、これらの情報が個別に格納される順にユニークな値に設定される。

【 0 0 2 3 】

したがって、複数の記憶領域に個々の情報が書き込まれる順序に制約がない限り、性能が損なわれることなく、外部との優先度の引き渡しに供されるべき布線およびピンが削減され、かつ各部のレイアウトおよび実装にかかわる自由度が高く確保される。

請求項 3 に記載の発明では、優先度変換手段 1 5 は、複数の記憶領域に格納された複数の情報が外部から与えられた共通の語にマッチすべき順序を示すユニークな優先度に、複数の副記憶領域に格納された個々の優先度を変換する。

【 0 0 2 4 】

すなわち、複数の副記憶領域に格納された個々の優先度は、必ずしもユニークでなくても、本発明にかかわる連想メモリが備えられたシステムや機器の機能または仕様に適合したユニークな優先度に変換される。

したがって、上述したシステムや機器の多様な機能および仕様に対する柔軟な適応が可能となる。

【 0 0 2 5 】

請求項 4 に記載の発明では、複数の副記憶領域に個別に格納された優先度には、複数の記憶領域に個別に格納された情報とこれらの記憶領域のポインタとの間に成立すべき条件を示す副制御情報が含まれる。優先度変換手段 1 5 は、副制御情報で示される条件が成立する優先度に、副記憶領域に格納された個々の優先度を変換する。

【 0 0 2 6 】

すなわち、複数の副記憶領域に格納された個々の優先度は、本発明にかかわる

連想メモリが備えられたシステムや機器の機能および仕様に適合する限り、これらの機能や仕様が多様に異なり、あるいは変更された場合であっても、柔軟に好適な値に変換される。

したがって、上述したシステムや機器の多様な機能および仕様に対する柔軟な適応がさらに可能となり、これらの機能および仕様に対する構成の標準化が達成される。

【 0 0 2 7 】

請求項 5 に記載の発明では、複数の副記憶領域に格納された個々の優先度には、制御手段 1 3 によって行われるべき処理の形態を示す制御情報が付加される。制御手段 1 3 は、「複数の記憶領域の内、外部から与えられた語にマッチする情報が格納された記憶領域」に対応する副記憶領域に格納された制御情報を特定し、その制御情報で示される形態の処理を行う。

【 0 0 2 8 】

すなわち、このような処理の対象や手順は、優先度に付加されて個々の副記憶領域に格納された制御情報に応じて設定され、あるいは適宜更新され得る。

したがって、本発明にかかわる連想メモリが備えられた機器やシステムでは、機能および仕様に対する柔軟な適応が可能となり、かつ付加価値が高められる。

請求項 1 に記載の発明の第一の下位概念の発明では、記憶手段 1 1 は、複数の情報が外部から直列に与えられ、これらの情報を複数の記憶領域に順次格納する。

【 0 0 2 9 】

すなわち、所望の応答性が確保される限り、上述した情報が並列に与えられる場合に比べて、ピン配列および外部とのインタフェースの簡略化が可能となる。

したがって、本発明にかかわる連想メモリが備えられた装置やシステムでは、実装にかかわる自由度が高められる。

請求項 1 に記載の発明の第二の下位概念の発明では、副記憶手段 1 2 は、複数の記憶領域にそれぞれ付与された優先度が外部から直列に与えられ、これらの優先度を前記複数の副記憶領域に順次格納する。

【 0 0 3 0 】

すなわち、所望の応答性が確保される限り、上述した優先度が並列に与えられる場合に比べて、ピン配列および外部とのインタフェースの簡略化が可能となる。

したがって、本発明にかかわる連想メモリが備えられた装置やシステムでは、実装にかかわる自由度が高められる。

【 0 0 3 1 】

請求項 1 ないし請求項 4 に記載の発明に関連した第一の発明では、複数の記憶領域と複数の副記憶領域とは、相互に対応する単一の情報と優先度とがバックされて格納される共通の記憶領域の集合として構成される。

すなわち、個々の記憶領域とその記憶領域に対応する副記憶領域とには、情報および優先度は、両者が共に確定され、かつ並行して与えられる限り、一括して格納される。

【 0 0 3 2 】

したがって、性能が低下することなく、構成が簡略化される。

請求項 1 ないし請求項 4 に記載の発明に関連した第二の発明では、共通の記憶領域は、書き込みが個別に行われる複数の部分記憶領域の集合として構成される。

すなわち、記憶領域および副記憶領域には、既述の情報および優先度は、これらの情報と優先度との語長の総和が「並行して書き込みが行われ得る語の最大の語長」を上回る場合であっても、複数の語の列として確実に格納される。

【 0 0 3 3 】

したがって、記憶領域および副記憶領域に対する書き込みと読み出しとが確実に行われる限り、上述した語長の総和の如何にかかわらず、多様な情報と優先度との適用が可能となる。

請求項 5 に記載の発明の下位概念の発明では、制御情報で示される処理の形態は、外部から与えられた語に複数の記憶領域に格納された情報がマッチする基準と、出力されるべきポインタの数と組み合わせと、これらのポインタの形式との全てまたは一部である。

【 0 0 3 4 】

すなわち、複数の記憶領域の内、外部から与えられた語にマッチする情報が格納されている記憶領域のポインタは、上述した制御情報に応じて柔軟に、かつ多様に得られる。

したがって、本発明にかかわる連想メモリが備えられた機器やシステムでは、機能および仕様に対する適応と、付加価値の向上とが柔軟に達成される。

【 0 0 3 5 】

【発明の実施の形態】

以下、図面に基づいて本発明の実施形態について詳細に説明する。

図 2 は、本発明の第一ないし第五の実施形態を示す図である。

本発明にかかわる第一の実施形態では、図 5 に示すデコーダ 5 0、エントリブロック 6 0-1～6 0-N およびプライオリティエンコーダ 7 0 に代えて、それぞれデコーダ 2 0、エントリブロック 3 0-1～3 0-N およびプライオリティエンコーダ 4 0 が備えられる。

【 0 0 3 6 】

デコーダ 2 0 は、外部から優先度 P が与えられる優先度入力 P i n と、エントリブロック 3 0-1～3 0-N の対応する入力に（後述する優先度変換部を介することなく）接続された優先度出力 P o u t とを有する。

エントリブロック 3 0-1 には、「上述した優先度出力 P o u t に接続された書き込みポートを有し、かつ出力がプライオリティエンコーダ 4 0 の対応する入力に接続された優先度記憶部 3 1-1」が備えられる。

【 0 0 3 7 】

なお、エントリブロック 3 0-2～3 0-N の構成については、エントリブロック 3 0-1 の構成と同じであるので、以下では、対応する構成要素に添え番号「2」～「N」が付加された共通の符号を付与し、ここでは、その説明および図示を省略する。

プライオリティエンコーダ 4 0 は、符号「4 1」の第一および第二の添え番号として、『初段ないし最終段の内、配置された段を示す番号（「1」～「k」の何れか）』と、『「サブエントリブロック 3 0-1～3 0-N の総数 N の半値」に等しい n 以下の自然数』とがそれぞれ付加されたサブエンコーダ 4 1-11～4 1-1n

、 $4\ 1-21 \sim 4\ 1-2(n/2)$ 、 \dots 、 $4\ 1-k1$ の集合として構成される。

【0038】

(a) 下記の入力および出力を有するサブエンコーダ $4\ 1-11 \sim 4\ 1-1n$

- ・ コンパレータ $6\ 3-1 \sim 6\ 3-N$ の出力の内、符号「63」に付加された添え番号が奇数であるコンパレータの出力に、その添え番号の昇順に接続された第一の比較結果入力

- ・ その奇数と「1」との和に等しい偶数の添え番号が符号「63」に付加されたコンパレータの出力に接続された第二の比較結果入力

- ・ 優先度記憶部 $3\ 1-1 \sim 3\ 1-N$ の出力の内、符号「31」に付加された添え番号が奇数である優先度記憶部の出力に、その添え番号の昇順に接続された第一の優先度入力

- ・ その奇数と「1」との和に等しい偶数の添え番号が符号「31」に付加された優先度記憶部の出力に接続された第二の優先度入力

- ・ 一定の論理値「0」、「1」がそれぞれ与えられた第一のカスケード入力および第二のカスケード入力

- ・ 上述した第一および第二の比較結果入力の何れか一方の後段に対する伝達に供される比較結果出力

- ・ 上述した第一および第二の優先度入力の何れか一方の後段に対する伝達に供される優先度出力

- ・ 上述した第一および第二のカスケード入力の何れか一方と、内部でバックされた付加ビットの後段に対する引き渡しに供されるカスケード出力

(b) 上述したサブエンコーダ $4\ 1-11 \sim 4\ 1-1n$ の後段に逆鈴なり状に配置され、かつ最寄りの前段に配置されたサブエンコーダの内、符号「41」に付加された第二の添え文字「1」～「n」の昇順に隣接する2つずつのサブエンコーダの出力が順次縦続接続されると共に、構成がこれらのサブエンコーダ $4\ 1-11 \sim 4\ 1-1n$ の構成と同じであるサブエンコーダ $4\ 1-21 \sim 4\ 1-2(n/2)$ 、 \dots 、 $4\ 1-k1$ (ただし、 $k = \log_2 n + 1$)

以下、図2を参照して本発明の第一の実施形態の動作を説明する。

【0039】

本実施形態にかかわるCAMが備えられた装置が始動する過程では、情報記憶部61-1～61-Nおよび優先度記憶部31-1～31-Nの全ての内容は、初期化される。なお、以下では、既述の有効ビットV-1～V-Nの論理値については、何れも対応する記憶領域および優先度記憶部に有効な情報が格納されている期間に限って「1」に設定されると仮定する。

【0040】

情報記憶部61-1～61-Nに対する情報D-1～D-Nの登録と、優先度記憶部31-1～31-Nに対する優先度P-1～P-Nの登録とは、下記の通りに行われる。なお、以下では、これらの情報記憶部61-1～61-Nに共通の事項と、優先度記憶部31-1～31-Nに共通の事項とについては、添え文字「1」～「N」の何れにも該当し得ることを意味する添え文字「C」を用いて記述する。

【0041】

デコーダ20は、「書き込み」を意味する命令I（=insert）が外部から与えられている期間に以下の処理を行う。

- ・ この命令Iと共に入力されるアドレスA-Cをデコードし、かつエントリブロック30-1～30-Nの内、このアドレスA-Cに対応する単一のエントリブロック30-Cのみを選択する。

【0042】

- ・ これらの命令IおよびアドレスA-Cに併せて、『「外部から与えられる情報D-Cおよび優先度P-Cにかかわるセットアップタイム」が確保される時点で与えられ、かつ書き込みが行われるべき時点を示す制御信号I/D』に同期して、情報記憶部61-Cに『論理値が「1」である有効ビットV-C』と情報D-Cとを書き込み、並行して優先度記憶部31-Cにこの優先度P-Cを書き込む。

【0043】

なお、上述した優先度P-1～P-Nについては、以下では、簡単のため、「優先度記憶部31-1～31-Nの内、これらの優先度P-1～P-Nが書き込まれる優先度記憶部」と「実際に書き込まれる順序」との如何にかかわらず、優先度の降順に付与されたユニークな二進数であると仮定する。

優先度記憶部31-Cおよび情報記憶部61-Cにそれぞれ書き込まれた有効な情

報 D-C および優先度 P-C の削除は、例えば、従来例と同様に『情報記憶部 6 1-C に登録されている有効ビット V-C の論理値を「0」に更新する無効化の処理』として実現される。

【0044】

また、情報記憶部 6 1-1 ~ 6 1-N の内、例えば、外部から与えられた検索キー K に等しい情報が格納された記憶領域のアドレス（連想アドレス）を得る検索は、下記の通りに行われる。

デコーダ 2 0 は、「検索」を意味する命令 I (=search) が外部から与えられている期間に、その命令 I に併せて、外部から並行して入力された検索キー K をエントリブロック 3 0-1 ~ 3 0-N の全てに与える。

【0045】

エントリブロック 3 0-C では、アンドゲート 6 2-C は、上記の命令 I (=search) が与えられ、かつ情報記憶部 6 1-C に格納されている有効ビット V の論理値が「1」である期間に限って、コンパレータ 6 3-C の稼働を許容する。

コンパレータ 6 3-C は、このようにして稼働が許容されている期間には、情報記憶部 6 1-C に上述した有効ビット V (=1) と共に格納されている情報 D-C とデコーダ 2 0 によって与えられる検索キー K との排他的論理和をとり、その結果を示す全てのビットの論理値が「0」であるか否かの判別の結果を示す二値情報（ここでは、簡単のため、該当する判別の結果が真である場合に限って、論理値が「1」に設定されると仮定する。）を出力する。

【0046】

優先度記憶部 3 1-C は、コンパレータ 6 3-C によってこの二値情報が出力される期間には、その優先度記憶部 3 1-C に格納されている優先度 P-C を並行して出力する。

プライオリティエンコーダ 4 0 では、サブエンコーダ 4 1-11 ~ 4 1-1n、4 1-21 ~ 4 1-2(n/2)、…、4 1-k1 は、個別に下記の処理を行う。なお、以下では、サブエンコーダ 4 1-11 ~ 4 1-1n、4 1-21 ~ 4 1-2(n/2)、…、4 1-k1 に共通の事項については、符号「4 1」に付加された第一の添え番号と第二の添え番号との双方もしくは何れか一方に代えて、これらのサブエンコーダ 4 1-11 ~ 4

$1-1n$ 、 $4\ 1-21 \sim 4\ 1-2(n/2)$ 、 \dots 、 $4\ 1-k1$ の何れかに該当し得ることを意味する添え文字「 i 」、「 j 」をそれぞれ適用する。

【0 0 4 7】

初段 ($j = 1 \sim n$) に配置されたサブエンコーダ $4\ 1-1j$ は、前段に配置された 2 つのコンパレータ $6\ 3-(2i-1)$ 、 $6\ 3-(2i)$ から並行して与えられる二値情報の論理値の組み合わせに応じて、以下の処理を行う。

(a) これらの二値情報の論理値が共に「0」である場合には、下記の情報を後段のサブエンコーダに引き渡す。

【0 0 4 8】

- ・ 比較結果出力の論理値 (= 0)
- ・ 優先度出力の値 (= 0)
- ・ カスケード出力の値 (= 0)

(b) 前段のコンパレータ $6\ 3-(2i-1)$ から与えられる二値情報のみの論理値が「1」である場合には、下記の情報を後段のサブエンコーダに引き渡す。

【0 0 4 9】

- ・ 比較結果出力の論理値 (= 1)
- ・ 優先度出力の値 (= 優先度記憶部 $6\ 3-(2i-1)$ から出力された優先度)
- ・ カスケード出力の値 (= 0)

(c) 前段のコンパレータ $6\ 3-(2i)$ から与えられる二値情報のみの論理値が「1」である場合には、下記の情報を後段のサブエンコーダに引き渡す。

【0 0 5 0】

- ・ 比較結果出力の論理値 (= 1)
- ・ 優先度出力の値 (= 優先度記憶部 $6\ 3-(2i)$ から出力された優先度)
- ・ カスケード出力の値 (= 1)

(d) 上述した二値情報の双方の論理値が「1」である場合には、下記の情報を後段のサブエンコーダに引き渡す。

【0 0 5 1】

- ・ 比較結果出力の論理値 (= 1)
- ・ 優先度出力の値 (優先度記憶部 $6\ 3-(2i)$ 、 $6\ 3-(2i-1)$ の内、優先度が高い

一方から出力された優先度)

- ・ カスケード出力の値 (優先度記憶部 6 3 -(2i)の優先度が高い場合には「1」、優先度記憶部 6 3 -(2i-1)の優先度が高い場合には「0」)

二段目以降 ($i \geq 2$) に配置されたサブエンコーダ 4 1 -ij は、前段に配置された 2 つのサブエンコーダ 4 1 -(i-1) (2j-1)、4 1 -(i-1) (2j) から並行して与えられる二値情報の論理値の組み合わせに応じて、以下の処理を行う。

【0 0 5 2】

(a) これらの二値情報の論理値が共に「0」である場合には、下記の情報をさらに後段のサブエンコーダに引き渡し、あるいは出力する。

- ・ 比較結果出力の論理値 (= 0)
- ・ 優先度出力の値 (= 0)
- ・ カスケード出力の値 (= 前段のサブエンコーダ 4 1 -(i-1) (2j-1) から出力されたカスケード出力の最下位に論理値が「0」である 1 ビットがバックされてなる語)

(b) 前段のサブエンコーダ 4 1 -(i-1) (2j-1) から与えられる二値情報のみの論理値が「1」である場合には、下記の情報をさらに後段のサブエンコーダに引き渡し、あるいは出力する。

【0 0 5 3】

- ・ 比較結果出力の論理値 (= 1)
- ・ 優先度出力の値 (= 前段のサブエンコーダ 4 1 -(i-1) (2j-1) から出力された優先度)

・ カスケード出力の値 (= 前段のサブエンコーダ 4 1 -(i-1) (2j-1) から出力されたカスケード出力の最下位に論理値が「0」である 1 ビットがバックされてなる語)

(c) 前段のサブエンコーダ 4 1 -(i-1) (2j) から与えられる二値情報のみの論理値が「1」である場合には、下記の情報をさらに後段のサブエンコーダに引き渡し、あるいは出力する。

【0 0 5 4】

- ・ 比較結果出力の論理値 (= 1)

- ・ 優先度出力の値 (=前段のサブエンコーダ $4\ 1-(i-1)(2j)$ から出力された優先度)

- ・ カスケード出力の値 (=前段のサブエンコーダ $4\ 1-(i-1)(2j)$ から出力されたカスケード出力の最下位に論理値が「1」である1ビットがパックされてなる語)

(d) 上述した二値情報の双方の論理値が「1」である場合には、下記の情報を後段のサブエンコーダに引き渡す。

【0 0 5 5】

- ・ 比較結果出力の論理値 (= 1)
- ・ 優先度出力の値 (優先度記憶部 $6\ 3-(2i)$ 、 $6\ 3-(2i-1)$ の内、優先度が高い一方から出力された優先度)
- ・ カスケード出力の値 (優先度記憶部 $6\ 3-(2i)$ の優先度が高い場合には「1」、優先度記憶部 $6\ 3-(2i-1)$ の優先度が高い場合には「0」)

すなわち、プライオリティエンコーダ $4\ 0$ (サブエンコーダ $4\ 1-k_1$) の出力には、上述したサブエンコーダ $4\ 1-1_1 \sim 4\ 1-1_n$ 、 $4\ 1-2_1 \sim 4\ 1-2(n/2)$ 、…、 $4\ 1-k_1$ の関係の下で下記の情報が出力される。

【0 0 5 6】

- ・ 『記憶手段 $6\ 1-1 \sim 6\ 1-N$ の内、「外部から与えられた検索キー K に等しい比較対照情報」が「論理値が「1」である有効ビット V 」と共に格納された記憶手段』の有無を示す2値情報である「ヒット情報」
- ・ このような記憶手段の内、対応する優先度記憶部に格納され、かつ最も高い優先度を示す「優先度情報」
- ・ その優先度が格納された優先度記憶部に対応する記憶手段のユニークなアドレスである「連想アドレス」

このように本実施形態によれば、情報記憶部 $6\ 1-1 \sim 6\ 1-N$ に論理値が「1」である有効ビット V と共に格納された比較対照情報の内、複数の比較対照情報が検索キー K にマッチする場合であっても、これらの情報記憶部 $6\ 1-1 \sim 6\ 1-N$ に個別に対応する優先度記憶部 $3\ 1-1 \sim 3\ 1-N$ に格納された優先度が最も高い単一の記憶領域のアドレスが「連想アドレス」として出力される。

【 0 0 5 7 】

また、これらの優先度記憶部 3 1 -1 ~ 3 1 -N に格納される優先度は、これらの優先度記憶部 3 1 -1 ~ 3 1 -N のアドレスと、これらの優先度が格納される順序との如何にかかわらず、外部から自在に設定され得る。

したがって、通信手順、通信制御、通信サービスの多様な形態に対する柔軟な適応が可能となる。

【 0 0 5 8 】

以下、本発明の第二の実施形態について説明する。

本実施形態には、優先度入力 P i n が備えられない点でデコーダ 2 0 と異なり、かつ図示されないカウンタが内蔵されたデコーダ 2 0 A がそのデコーダ 2 0 に代えて配置される。

以下、図 2 を参照して本発明の第二の実施形態の動作を説明する。

【 0 0 5 9 】

本実施形態の特徴は、情報記憶部 6 1 -1 ~ 6 1 -N と優先度記憶部 3 1 -1 ~ 3 1 -N とに対して情報 D -1 ~ D -N と優先度 P -1 ~ P -N との登録が行われる過程において、デコーダ 2 0 A によって行われる下記の処理の手順にある。

デコーダ 2 0 A は、外部から与えられる指令（例えば、専用の端子を介して外部から与えられる「登録開始信号」）に応じて上述したカウンタを初期化し、そのカウンタの計数値を「0」に設定する。

【 0 0 6 0 】

さらに、デコーダ 2 0 A は、「書き込み」を意味する命令 I（=insert）が外部から与えられている期間には、以下の処理を行う。

・ この命令 I と共に入力されるアドレス A -C をデコードし、かつエントリブロック 3 0 -1 ~ 3 0 -N の内、このアドレス A -C に対応する単一のエントリブロック 3 0 -C のみを選択する。

【 0 0 6 1 】

・ これらの命令 I およびアドレス A -C に併せて、外部から与えられる情報 D -C にかかわるセットアップタイムが確保される時点で与えられ、かつ書き込みが行われるべき時点を示す制御信号 I / D に同期して、情報記憶部 6 1 -C に『論理値

が「1」である有効ビットV-C』と情報D-Cとを書き込み、並行して優先度記憶部31-Cに、「カウンタに保持された計数値」（第一の実施形態において外部から与えられる優先度P-Cに代わる優先度を意味する。）を書き込む。

【0062】

すなわち、情報記憶部61-Cに格納される情報D-Cの優先度P-Cは、上述した優先度入力Pinが備えられなくても、情報記憶部61-1～61-Nに対して個々の情報が格納（登録）される順に付与されたユニークな値に自動的に設定される。

したがって、本実施形態によれば、情報記憶部61-1～61-Nに対する個々の情報が格納（登録）される順序に制約がない限り、性能が損なわれることなく外部との優先度の引き渡しに供される信号線が削減され、かつピンの配置だけではなく、チップや回路基板上における回路のレイアウトや実装の自由度が高められる。

【0063】

以下、本発明の第三の実施形態について説明する。

本実施形態には、所定の同期信号と、その同期信号に同期して直列のビット列（あるいは「語の列」）との引き渡しに供される信号線の組み合わせからなる入力ポートとして、データ入力Din、アドレス入力Ain、検索キー入力Kinおよび優先度入力Pinの全てまたは一部が構成されたデコーダ20Bがデコーダ20に代えて備えられる。

【0064】

以下、図2を参照して本発明の第三の実施形態の動作を説明する。

デコーダ20Bは、データ入力Din、アドレス入力Ain、検索キー入力Kinおよび優先度入力Pinを介してそれぞれ入力された情報D、アドレスA、検索キーK、優先度Pの内、上述した入力ポートを介して直列に入力されたものについては、適宜直ー並列変換しつつエントリブロック30-1～30-Nに分配する。

【0065】

したがって、本実施形態によれば、上述した情報D、アドレスA、検索キーK

、優先度 P の何れかが直列に入力されることに起因する応答性の低下が許容される限り、これらの情報 D、アドレス A、検索キー K、優先度 P の全てが並列に入力される場合に比べて、総合的な性能が低下することなく、外部とのインタフェースを実現する布線と、ピン配列とが簡略化され、かつ本発明が適用されたパッケージ（モジュール）や装置内における実装の自由度が大幅に向上する。

【0066】

なお、本実施形態では、既述の第一の実施形態に本発明が適用されている。

しかし、本発明は、このような構成に限定されず、例えば、第二あるいは第三の実施形態に適用されてもよい。

以下、本発明の第四の実施形態について説明する。

本実施形態は、図 2 に破線で示すように、下記の通りに構成される。

【0067】

- ・ エントリブロック 30-C には、優先度記憶部 31-C に併せて、暫定優先度記憶部 32-C が備えられる。
- ・ デコーダ 20、20A、20B の優先度出力 Pout は、優先度記憶部 31-1～31-N の書き込みポートに接続されない。
- ・ デコーダ 20、20A、20B の優先度出力 Pout、インサート出力 IN Sout およびデリート出力 DELout に併せて、優先度記憶部 31-1～31-N と暫定優先度記憶部 32-1～32-N との書き込みポートおよび読み出しポートに接続された優先度変換部 33 が備えられる。

【0068】

以下、図 2 を参照して本発明の第四の実施形態の動作を説明する。

本実施形態の特徴は、外部から入力される優先度 P-C と、優先度変換部 33 によって行われる下記の処理の手順とにある。

デコーダ 20、20A、20B は、「書き込み」を意味する命令 I（=insert）が外部から与えられている期間には、以下の処理を行う。

【0069】

- ・ この命令 I と共に入力されるアドレス A-C をデコードし、かつエントリブロック 30-1～30-N の内、このアドレス A-C に対応する単一のエントリブロック

3 0 -Cのみを選択する。

- ・ これらの命令 I およびアドレス A-C に併せて、『「外部から与えられる情報 D-C および優先度 P-C にかかわるセットアップタイム」が確保される時点で与えられ、かつ書き込みが行われるべき時点を示す制御信号 I / D』に同期して、情報記憶部 6 1 -C に『論理値が「1」である有効ビット V-C』と情報 D-C とを書き込み、並行して優先度変換部 3 3 にこの優先度 P-C を引き渡す。

【 0 0 7 0 】

なお、このような優先度 P-C については、ここでは、何れも下記の要件を満たすと仮定する。

- ・ 網の構成、適用されるべき通信手順、実現されるべき通信制御およびスイッチングの形態に適合する。
- ・ 値が重複し得る。

【 0 0 7 1 】

- ・ 内容、形式およびあたえら留順序の何れもが優先度変換部 3 3 によって後述するように行われる処理の形態に適合する。

一方、優先度変換部 3 3 は、このようにして引き渡された優先度 P-C を暫定優先度記憶部 3 2 -C に分配する。

これらの暫定優先度記憶部 3 2 -1 ~ 3 2 -N の内、選択されたエントリブロックに備えられた暫定優先度記憶部は、このようにして分配された優先度 P-C を保持する。

【 0 0 7 2 】

また、優先度変換部 3 3 は、上述した「書き込み」を意味する命令 I (= insert) が解除されたことを識別したときには、その命令 I (= insert) と、既述の「削除」を意味する命令 I (= delete) との何れもが外部から与えられない期間に限って、暫定優先度記憶部 3 2 -1 ~ 3 2 -N にそれぞれ格納された優先度 P-1 ~ P-C に応じて下記の処理を個別に行う。

【 0 0 7 3 】

- ・ 既定のアルゴリズムに基づいて優先度 P-C をユニークな優先度 P U-C に変換する。

・ その優先度 P U-C を優先度記憶部 3 1-C に格納する。

すなわち、外部から与えられた優先度 P-1 ~ P-N は、上述した網の構成、通信手順、通信制御およびスイッチングの形態の如何にかかわらず、優先度変換部 3 3 によって行われる処理の手順やアルゴリズムに適合する限り、ユニークな優先度 P U-1 ~ P U-C に変換される。

【 0 0 7 4 】

したがって、本実施形態によれば、多様な網の構成、通信手順、通信制御およびスイッチの形態と、これらの形態の変更とに対して柔軟な適応が可能となる。

以下、本発明の第五の実施形態について説明する。

本実施形態では、図 2 に二点鎖線で示すように、優先度記憶部 3 1-1 ~ 3 1-N の最上位オーダの出力がそれぞれコンパレータ 6 3-1 ~ 6 3-N の制御端子に接続される。

【 0 0 7 5 】

以下、図 2 を参照して本発明の第五の実施形態の動作を説明する。

デコーダ 2 0 の優先度入力 P i n には、既述の優先度 P-C に併せて、その優先度 P-C の上位オーダにパックされた制御語 C W-C が入力される。

デコーダ 2 0 はこのような優先度 P-C と制御語 C W-C とを優先度記憶部 3 1-C に格納し、その優先度記憶部 3 1-C はコンパレータ 6 3-C にこの制御語 C W-C を与える。

【 0 0 7 6 】

一方、コンパレータ 6 3-C は、下記の点で既述の第一の実施形態と異なる処理を行う。

コンパレータ 6 3-C は、アンドゲート 6 2-C によって既述の通りに稼働が許容される期間には、上述した制御語 C W-C で示される形態で、「情報記憶部 6 1-C に有効ビット V (= 1) と共に格納されている情報 D-C と、「デコーダ 2 0 によって与えられる検索キー K」とを比較し、その比較の結果を示す全てのビットの論理値が「0」であるか否かの判別の結果を示す二値情報を出力する。

【 0 0 7 7 】

すなわち、情報記憶部 6 1-C に格納された有効な比較対象情報と、その比較対

象情報に対応づけられて外部から入力された検索キー K-C との比較は、この検索キー K-C と共に外部から与えられた制御部 C W-C で示される形態（例えば、比較されるべきビットの組み合わせについて、所定の比較の基準に基づいて）で行われる。

【 0 0 7 8 】

このように本実施形態によれば、「連想アドレスの取得の過程に行われるべき比較対象情報と検索キーとの比較」が外部から指定された多様な形態で行われる。

したがって、多様な網の構成、通信手順、通信手順および通信サービスの要求に対する柔軟な適応が可能となる。

【 0 0 7 9 】

なお、本実施形態では、比較対象情報と検索キーとの比較の形態のみが上述した制御部 C W-C に応じて選択されている。

しかし、本発明はこのような構成に限定されず、例えば、制御部 C W-C が図 3 に示されるように構成され、かつプライオリティエンコーダ 4 0 （サブエンコーダ 4 1 -11 ~ 4 1 -1n, 4 1 -21 ~ 4 1 -2(n/2)、…、4 1 -k1 ）に分配されることによって、下記の全てまたは一部が外部から指定されてもよい。

【 0 0 8 0 】

- ・ 出力されるべき（あるいは並行して出力され得る最大の）連想アドレスの数、組み合わせ
- ・ 出力される連想アドレスの形式、内容
- ・ 出力される連想アドレスの生成の過程で行われるべき処理の手順
- ・ その処理の過程で参照されるべき演算対象

また、上述した各実施形態では、情報記憶部 6 1 -C に有効ビット V-C および比較対照情報がバックされて格納され、その情報記憶部 6 1 -C とは個別に備えられた優先度記憶部 3 1 -C にこれらの有効ビット V-C および比較対照情報に付与されたユニークな優先度 P-C が格納されている。

【 0 0 8 1 】

しかし、本発明はこのような構成に限定されず、情報記憶部 6 1 -C、優先度記

憶部 3 1 -C および暫定優先度記憶部 3 2 -C は、例えば、図 4 に示すように、下記の何れの形態で構成されてもよい。

- ・ 情報記憶部 6 1 -C に優先度記憶部 3 1 -C が併合され、かつ暫定優先度記憶部 3 2 -C がこれらの情報記憶部 6 1 -C に優先度記憶部 3 1 -C とは別体のメモリとして構成される（図 4 (a)）。

【 0 0 8 2 】

- ・ 優先度記憶部 3 1 -C と暫定優先度記憶部 3 2 -C とが併合され、かつ情報記憶部 6 1 -C がこれらの優先度記憶部 3 1 -C および暫定優先度記憶部 3 2 -C とは別体のメモリとして構成される（図 4 (b)）。

- ・ 情報記憶部 6 1 -C に優先度記憶部 3 1 -C と暫定優先度記憶部 3 2 -C との双方が併合されて構成される（図 4 (c)）。

【 0 0 8 3 】

さらに、上述した各実施形態では、有効ビット V-C と比較対象情報 D-C とは、パックされ、かつ「共通のアドレスが付与された情報記憶部 6 1 -C」に単一の語として格納されている。

しかし、本発明はこのような構成に限定されず、例えば、これらの有効ビット V-C および比較対象情報 D-C は、共通のアドレスが付与された複数の記憶領域に所定の語長毎に分割されて書き込まれてもよい。

【 0 0 8 4 】

また、本発明は、上述した実施形態に限定されるものではなく、本発明の範囲において多様な形態による実施形態が可能であり、かつ構成装置の一部もしくは全てに如何なる改良が施されてもよい。

以下、上述した各実施形態に記載された技術を階層的・多面的に整理し、付記項として列記する。

【 0 0 8 5 】

（付記 1） 複数の情報が個別に格納される複数の記憶領域を有する記憶手段 1 1 と、

前記複数の記憶領域に個別に対応し、これらの記憶領域にそれぞれ付与された優先度が格納される複数の副記憶領域を有する副記憶手段 1 2 と、

前記複数の記憶領域の内、外部から与えられた語にマッチする情報が格納されている記憶領域に対応した副記憶領域に格納されている優先度の降順に、その情報が格納されている一部または全ての記憶領域のポインタを出力する制御手段 1 3 と

を備えたことを特徴とする連想メモリ。

【 0 0 8 6 】

(付記 2) 付記 1 に記載の連想メモリにおいて、

前記複数の記憶領域に個々の情報が格納される順にシーケンシャルな優先度を生成し、前記複数の副記憶領域の内、個々の情報が書き込まれる記憶領域に対応した副記憶領域にその優先度を格納する優先度設定手段 1 4 を備えた

ことを特徴とする連想メモリ。

【 0 0 8 7 】

(付記 3) 付記 1 に記載の連想メモリにおいて、

前記記憶手段 1 1 は、

前記複数の情報が外部から直列に与えられ、これらの情報を前記複数の記憶領域に順次格納する

ことを特徴とする連想メモリ。

【 0 0 8 8 】

(付記 4) 付記 1 に記載の連想メモリにおいて、

前記副記憶手段 1 2 は、

前記複数の記憶領域にそれぞれ付与された優先度が外部から直列に与えられ、これらの優先度を前記複数の副記憶領域に順次格納する

ことを特徴とする連想メモリ。

【 0 0 8 9 】

(付記 5) 付記 1、付記 3 および付記 4 の何れか 1 項に記載の連想メモリにおいて、

外部から与えられた共通の語に前記複数の記憶領域に格納された複数の情報がマッチすべき順序を示すユニークな優先度に、前記複数の副記憶領域に格納された個々の優先度を変換する優先度変換手段 1 5 を備えた

ことを特徴とする連想メモリ。

【 0 0 9 0 】

(付記 6) 付記 5 に記載の連想メモリにおいて、

前記複数の副記憶領域に個別に格納された優先度には、

前記複数の記憶領域に個別に格納された情報とこれらの記憶領域のポインタとの間に成立すべき条件を示す副制御情報が含まれ、

前記優先度変換手段 1 5 は、

前記副制御情報で示される条件が成立する優先度に、前記副記憶領域に格納された個々の優先度を変換する

ことを特徴とする連想メモリ。

【 0 0 9 1 】

(付記 7) 付記 1 ないし付記 6 の何れか 1 項に記載の連想メモリにおいて、

前記複数の記憶領域と前記複数の副記憶領域とは、

相互に対応する単一の情報と優先度とがパックされて格納される共通の記憶領域の集合として構成された

ことを特徴とする連想メモリ。

【 0 0 9 2 】

(付記 8) 付記 7 に記載の連想メモリにおいて、

前記共通の記憶領域は、

書き込みが個別に行われる複数の部分記憶領域の集合として構成された

ことを特徴とする連想メモリ。

(付記 9) 付記 1 ないし付記 8 の何れか 1 項に記載の連想メモリにおいて、

前記複数の副記憶領域に格納された個々の優先度には、

前記制御手段 1 3 によって行われるべき処理の形態を示す制御情報が付加され

、
前記制御手段 1 3 は、

前記複数の記憶領域の内、前記外部から与えられた語にマッチする情報が格納された記憶領域に対応する副記憶領域に格納された制御情報を特定し、その制御情報で示される形態の処理を行う

ことを特徴とする連想メモリ。

【 0 0 9 3 】

(付記 1 0) 付記 9 に記載の連想メモリにおいて、

前記制御情報で示される処理の形態は、

前記外部から与えられた語に前記複数の記憶領域に格納された情報がマッチする基準と、出力されるべきポインタの数と組み合わせと、これらのポインタの形式との全てまたは一部である

ことを特徴とする連想メモリ。

【 0 0 9 4 】

【発明の効果】

上述したように請求項 1 に記載の発明では、記憶領域に備えられた複数の記憶領域に格納される情報と、これらの記憶領域に個々の情報が格納される順序との双方に何ら制約が課されることなく、多様な機器やシステムに対する柔軟な適応が可能となる。

請求項 2 に記載の発明では、外部との優先度の引き渡しに供される布線およびピンが削減され、かつ各部のレイアウトおよび実装にかかわる自由度が高く確保される。

【 0 0 9 5 】

請求項 3 に記載の発明では、本発明にかかわる連想メモリが備えられるべきシステムや機器の多様な機能および仕様に対する柔軟な適応が可能となる。

請求項 4 に記載の発明では、本発明にかかわる連想メモリが備えられるべきシステムや機器の多様な機能および仕様に対する柔軟な適応がさらに可能となり、これらの機能および仕様に対する構成の標準化が達成される。

【 0 0 9 6 】

請求項 5 に記載の発明では、本発明にかかわる連想メモリが備えられた機器やシステムの機能および仕様に対する柔軟な適応が可能となり、かつ付加価値が高められる。

請求項 1 に記載の発明の第一および第二の下位概念の発明では、本発明にかかわる連想メモリが備えられた装置やシステムにおける実装にかかわる自由度が高

められる。

【 0 0 9 7 】

請求項 1 ないし請求項 4 に記載の発明に関連した第一の発明では、性能が低下することなく、構成が簡略化される。

請求項 1 ないし請求項 4 に記載の発明に関連した第二の発明では、情報と優先度との語長の総和の如何にかかわらず、多様な情報と優先度との適用が可能となる。

【 0 0 9 8 】

請求項 5 に記載の発明の下位概念の発明では、本発明にかかわる連想メモリが備えられた機器やシステムの機能および仕様に対する適応と、付加価値の向上とが柔軟に達成される。

したがって、これらの発明が適用された機器やシステムでは、多様な構成に対する柔軟な適応に併せて、総合的な信頼性および性能の向上が図られる。

【図面の簡単な説明】

【図 1】

本発明の原理ブロック図である。

【図 2】

本発明の第一ないし第五の実施形態を示す図である。

【図 3】

優先度に付加された制御語の態様を示す図である。

【図 4】

エントリブロックに備えられるべき記憶領域の構成の態様を示す図である。

【図 5】

従来の CAM の構成例を示す図である。

【符号の説明】

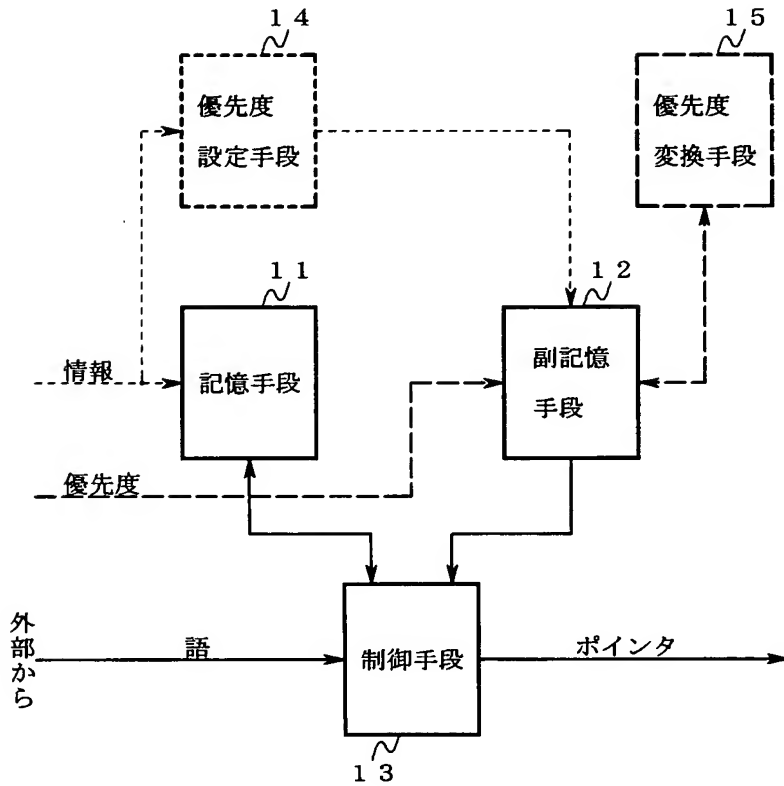
- 1 1 記憶手段
- 1 2 副記憶手段
- 1 3 制御手段
- 1 4 優先度設定手段

- 1 5 優先度変換手段
- 2 0, 2 0 A, 2 0 B, 5 0 デコーダ
- 3 0, 6 0 エントリブロック
- 3 1 優先度記憶部
- 3 2 暫定優先度記憶部
- 3 3 優先度変換部
- 4 0, 7 0 プライオリティエンコーダ
- 4 1 サブエンコーダ
- 6 1 情報記憶部
- 6 2 アンドゲート
- 6 3 コンパレータ

【書類名】 図面

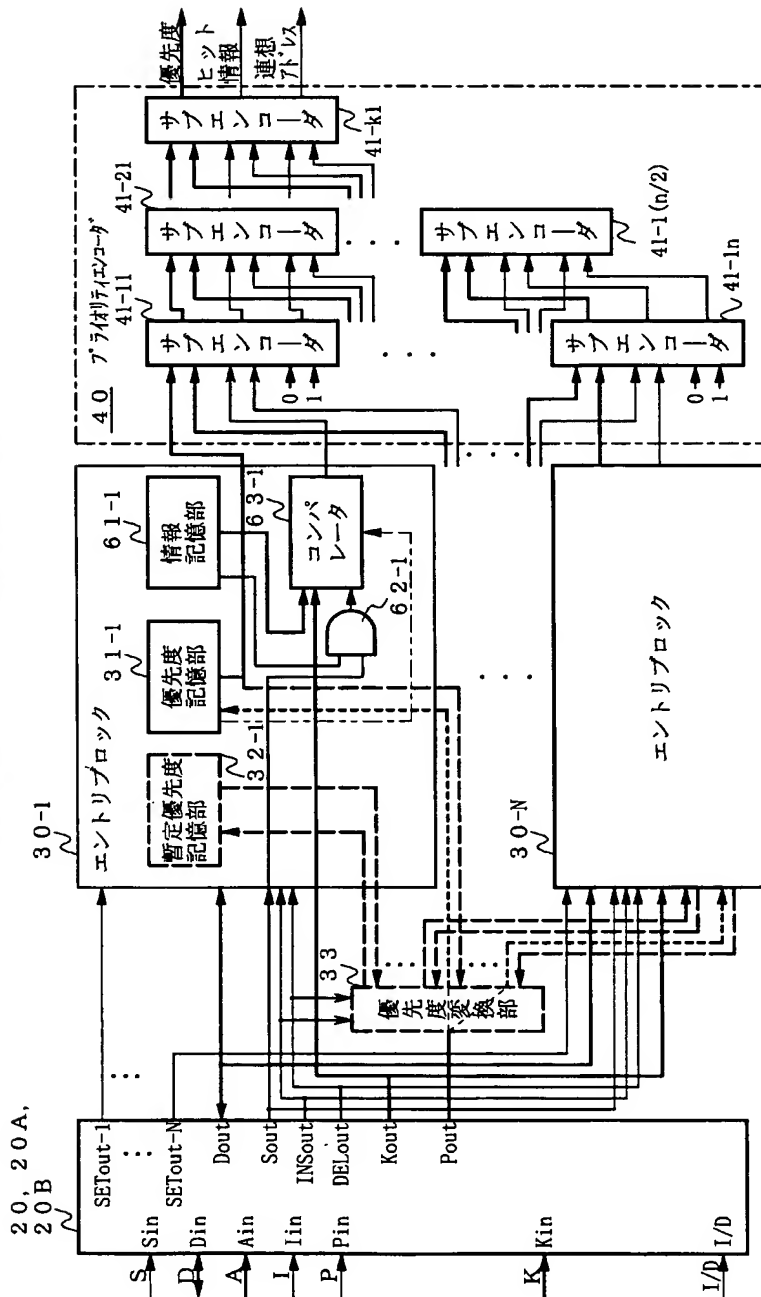
【図 1】

本発明の原理ブロック図



【図 2】

本発明の第一ないし第五の実施形態を示す図



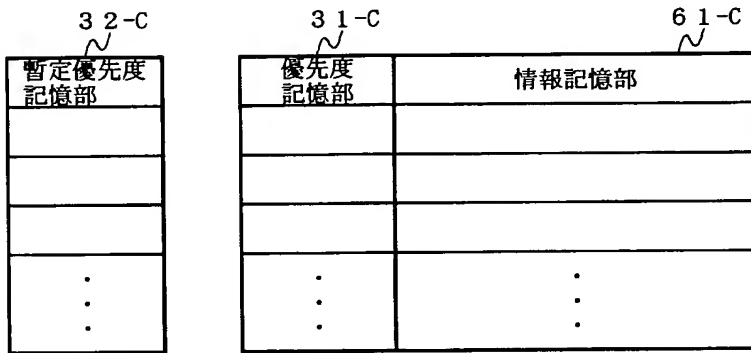
【図 3】

優先度に付加される制御語の態様を示す図

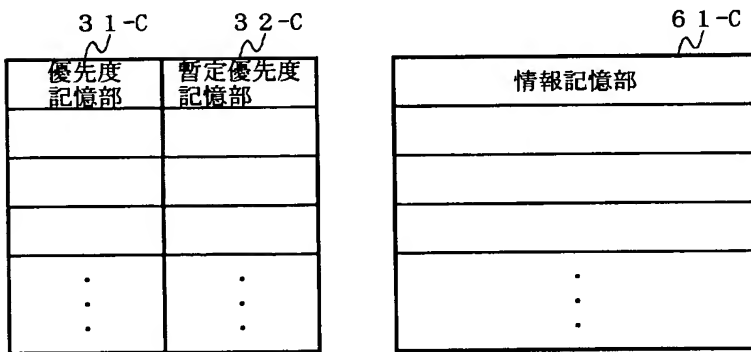
優先度	符号	制御部
	符号	制御部
	0 0 0 1	比較の基準
	0 0 1 0	出力されるべき連想アドレスの数
	0 0 1 1	出力されるべき連想アドレスの組み合わせ
	0 1 0 0	出力されるべき連想アドレスの形式
	0 1 0 1	出力されるべき連想アドレスの内容
	0 1 1 1	処理の手順
	1 0 0 0	処理の演算対象
	⋮	⋮

【図 4】

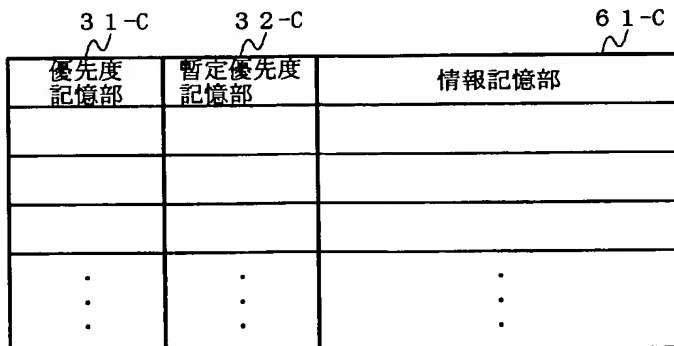
エントリブロックに備えられるべき記憶領域の構成の態様を示す図



(a)

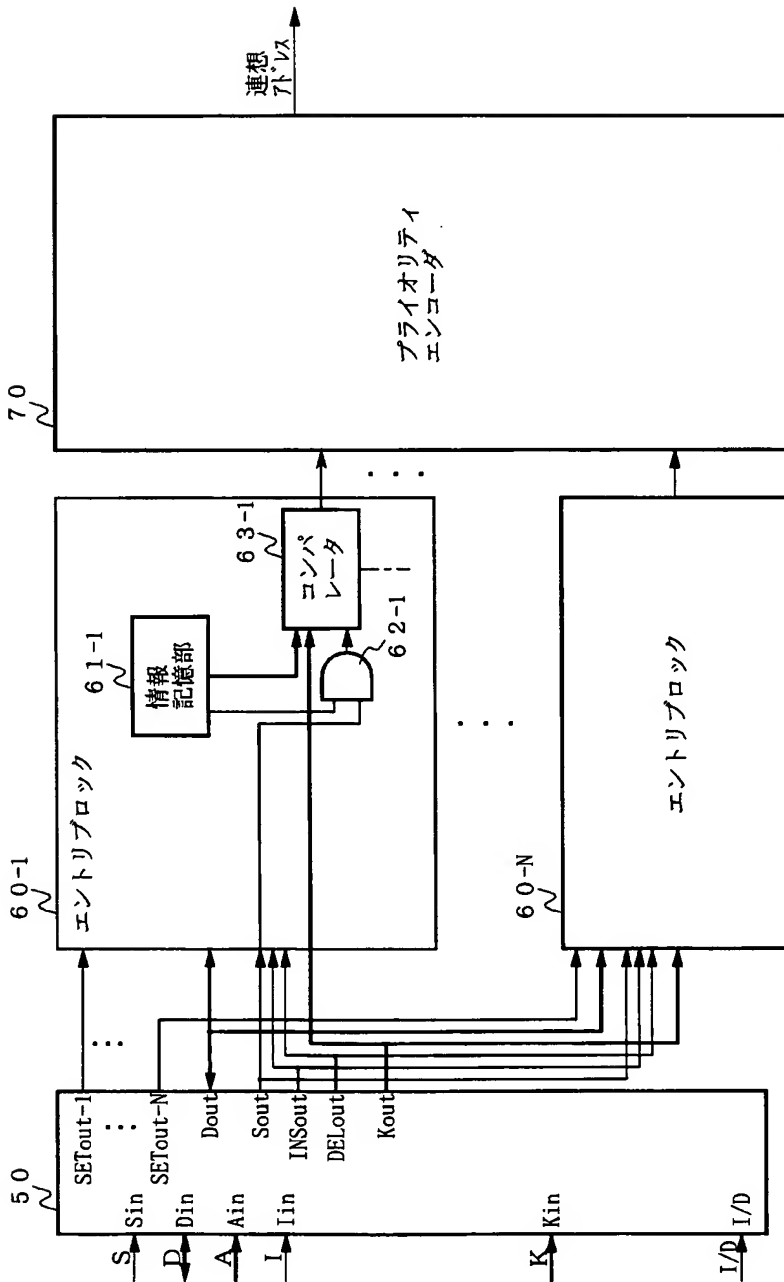


(b)



【図 5】

従来のCAMの構成例を示す図



【書類名】 要約書

【要約】

【課題】 本発明は、個別に情報が格納される記憶領域を有し、外部から入力された情報にマッチする情報が格納されている記憶領域のアドレスを出力する連想メモリに関し、基本的な構成が大幅に変更されることなく、多様な構成の機器やシステムに柔軟に適應できることを目的とする。

【解決手段】 複数の情報が個別に格納される複数の記憶領域を有する記憶手段 1 1 と、複数の記憶領域に個別に対応し、これらの記憶領域にそれぞれ付与された優先度が格納される複数の副記憶領域を有する副記憶手段 1 2 と、複数の記憶領域の内、外部から与えられた語にマッチする情報が格納されている記憶領域に対応した副記憶領域に格納されている優先度の降順に、その情報が格納されている一部または全ての記憶領域のポインタを出力する制御手段 1 3 とを備えて構成される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社